

Vyvíjíme otevřený hardware



Pavel Šnajdr
vpsFree.cz

Talk

- **Motivace**
- **Cíle projektu**
- **Komponenty**
- **Bloková schémata & mock-upy**
- **Timeline**
- **Call for volunteers**

Motivace

But why?

Motivace

- **Intel**
- **Rowhammer**
 - ...It's all about the timing...
- **zBLOBa**
 - ...spaghetti firmware...
- **Uzavřené blackbox IP**
 -
- **vpsAdminOS**
 - Kompletní kontrola nad SW stackem

Motivace

People who are really serious about software should make their own hardware.

Alan Kay

Cíle projektu

But how?

Cíle projektu

- **Všechno začalo mail serverem**
 - Kdyby mi rodiče dovolili server doma...

Cíle projektu

- **Hostovat i citlivá data**
 - Snajpovo maily ;-)
 - Krypto věci – blockchain, CA, VPN, auth
 - Monitoring, bastion server
 - Databáze členů
 - 10 systémů by se hned uživilo @vpsFree_cz
 - @vpsFree_org jinak nerealizovatelné

Cíle projektu

- **Kompletně otevřený hardware**
 - Ideálně na otevřených výrobních procesech
- **^ Velmi dlouhodobý cíl hackerů**
 - (dem patents...)
- **Midterm: Částečně otevřený hardware**
 - Ideálně design pouze v open-source software
 - Co nejvíc open hardware
 - Open firmware (pff, HW zBLOBy :-/)

Cíle projektu

- **Vývoj otevřeného „IP“**
 - RISC-V je jen část story
 - Síťovky, switche, diskové řadiče, atd.
 - Sahá na data a není dostupná dokumentace, co dělá?!
 - Nepřijatelné!
- **FPGA vývoj s cílem péct vlastní čipy**
 - Aneb, zítra to nebude...

Cíle projektu

- **Poloprodukční microserver devkit**
 - „Sea of systems“ do datacentra
 - Zaměření na bezpečnost
 - Dokud není open IP, je cílem hlavně open IP
 - Future-proofing
 - Cena za vývoj
 - = osazené FPGA, které zatím nedělají nic

Komponenty

- **ARM**

- Příliš brzo na RISC-V
- interpretované jazyky == nutná velká jádra

- **Lattice FPGA**

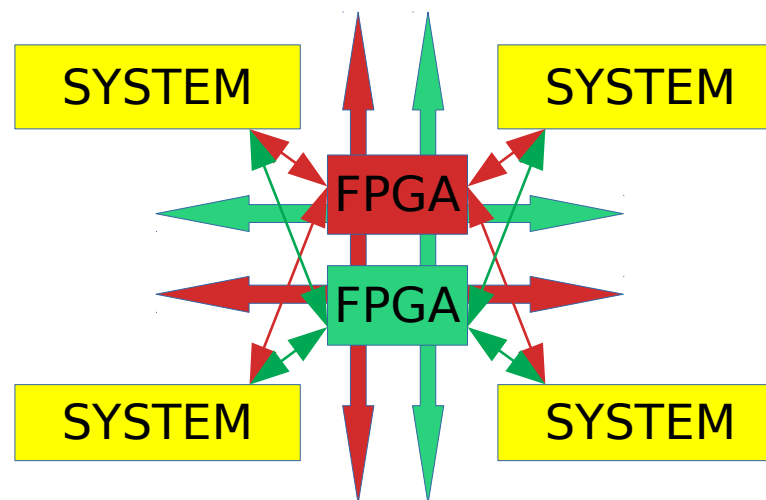
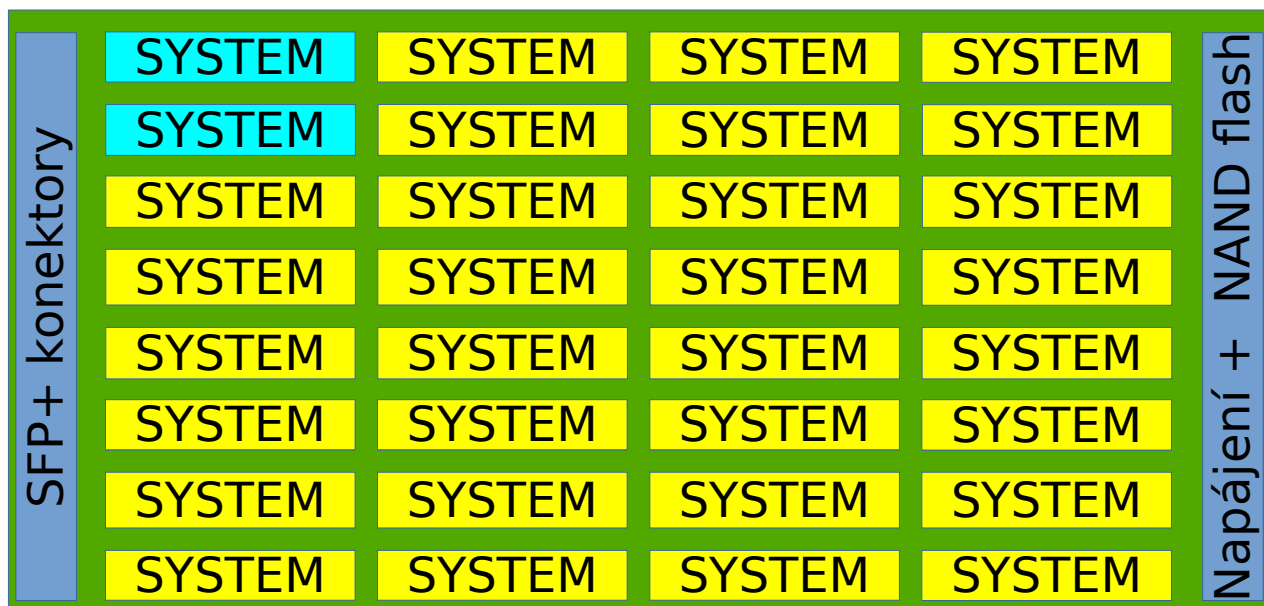
- Neuověřitelná komunita

- **KiCAD**

- Neuověřitelná PITA

Blokové schéma cílového systému

- **32x @ 2-3U**
2x infra role
- **cpuboard**
- **devboard**
- **seaboard**
- **standalone board**



Komponenty

- **NXP LS1046A**

- 4x Cortex-A72, 2MB L2 @ 1.8 Ghz, \$100
- Freescale => NXP
- Layerscape QorIQ family
 - Packet engine - BLOB!
 - 2x 10GE, 6x GE
 - Security Engine - BLOB!
 - PCIe root complex + device
 - Where the magic happens

Komponenty

- **Lattice ECP5-5G FPGA**

- LFE5UM5G-45F-8BG381C @ \$25
 - 45k LUTs, 4x 5Gbps SERDES
 - PCIe 2.0, SATA2, SD 4.0 UHS-II

- **Project Trellis**

- Lvl hello world, brzo SRAM, SERDESy 8/2019

- **nextpnr**

- <https://github.com/YosysHQ/nextpnr>

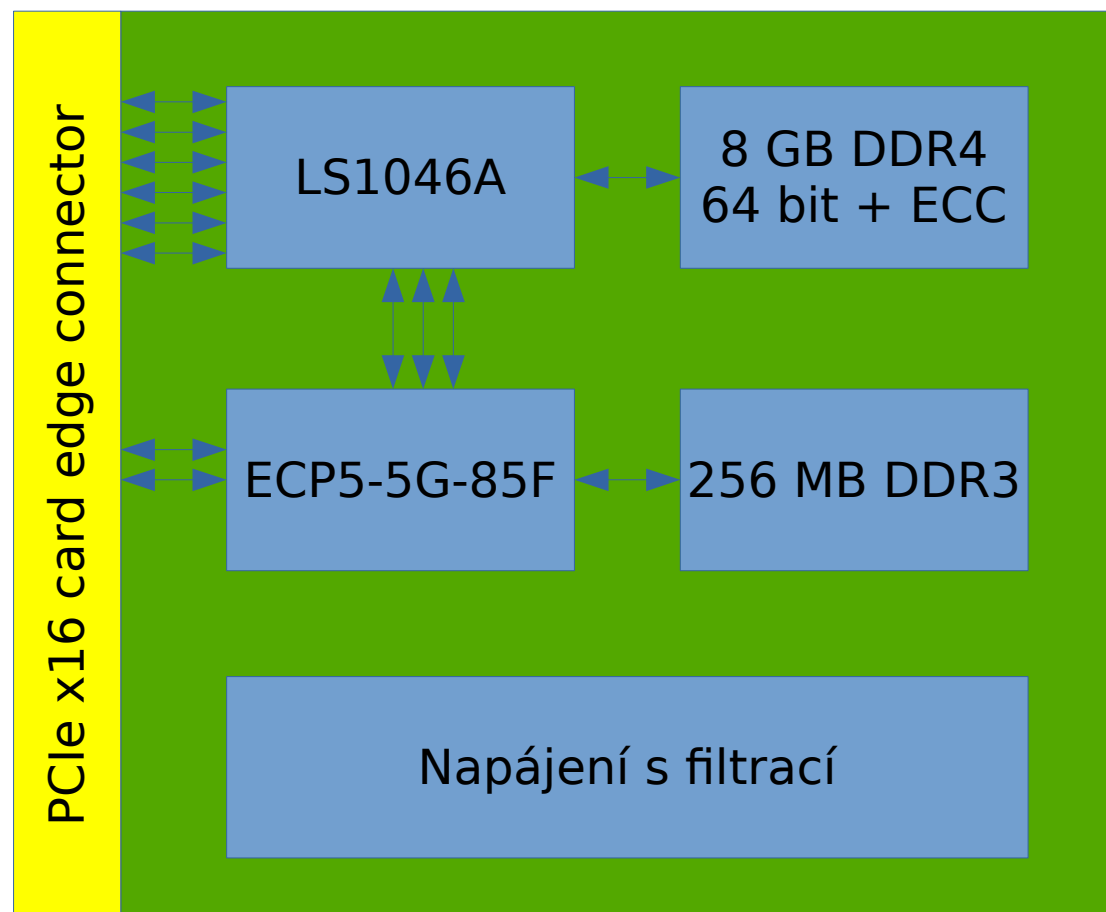
Blokové schéma CPU boardu

- **PCIe x16**

- 12V
- 2x 10GE
- 2x PCIe 3.0 x1
- 2x GE
- 2x GE @ FPGA
- 4x GP-LVDS-800

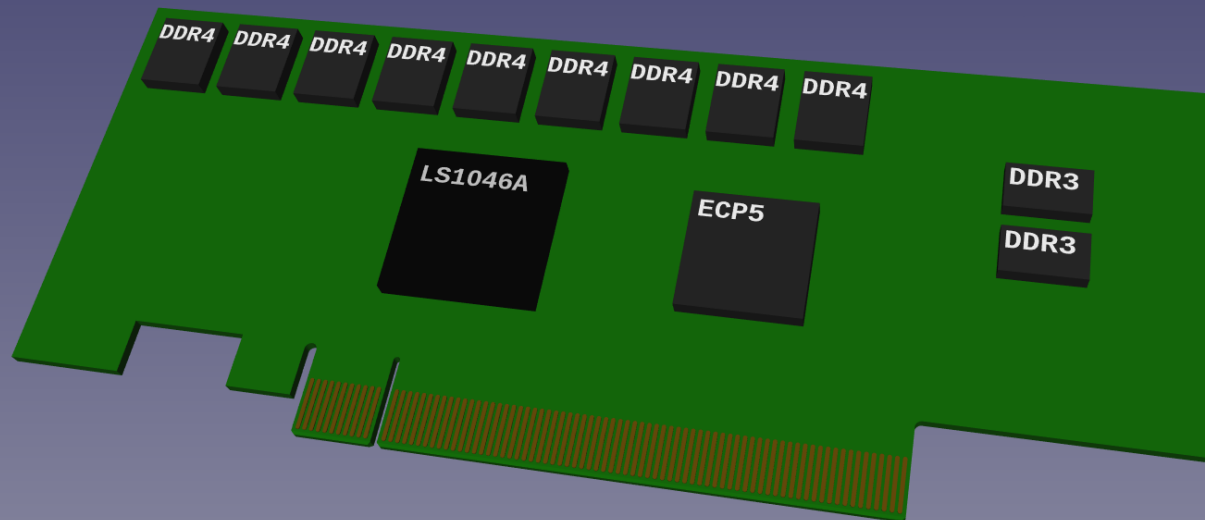
- **PCIe 2.0 x1**

- FPGA <> LS1046

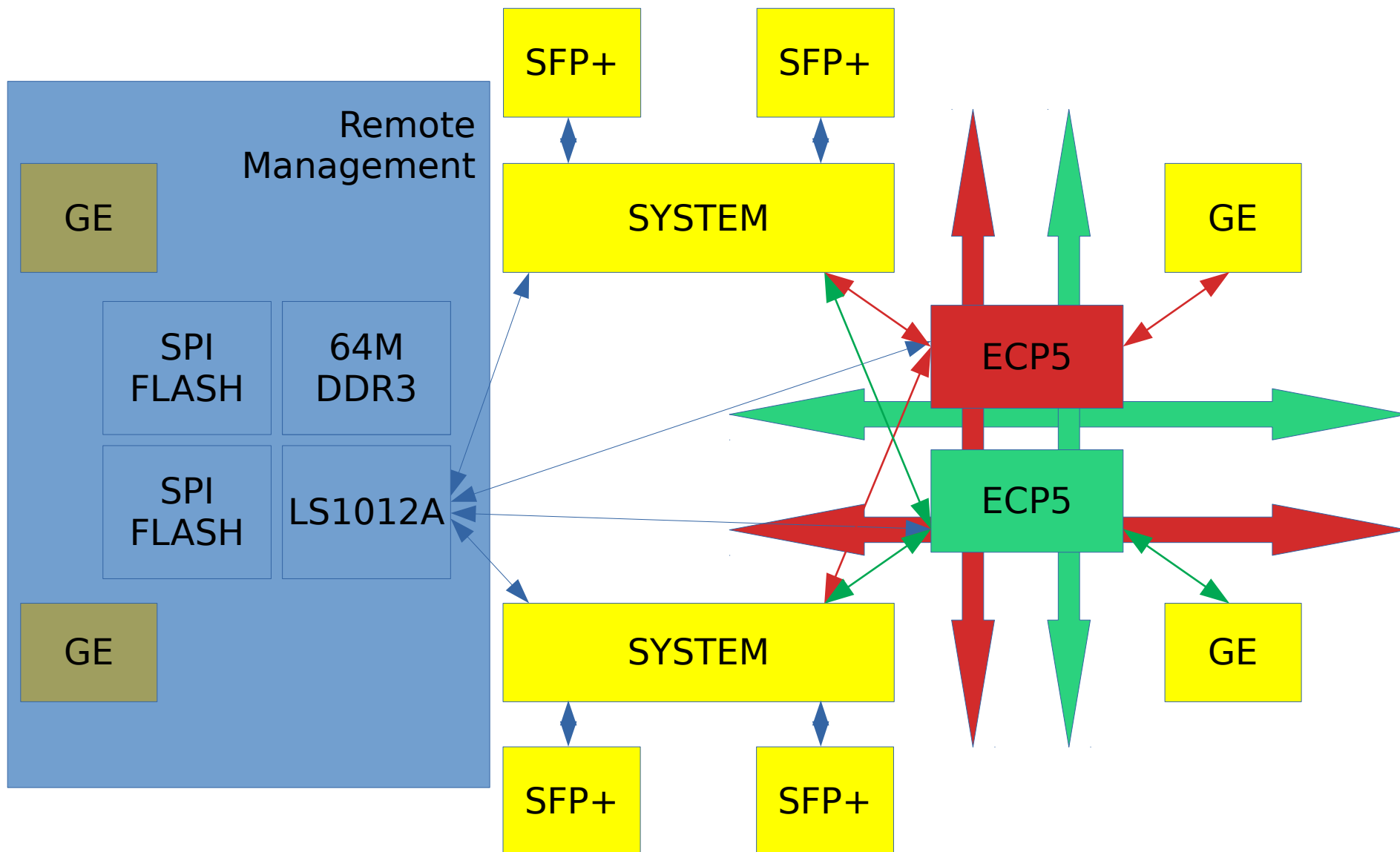


Firmware mimo CPU board

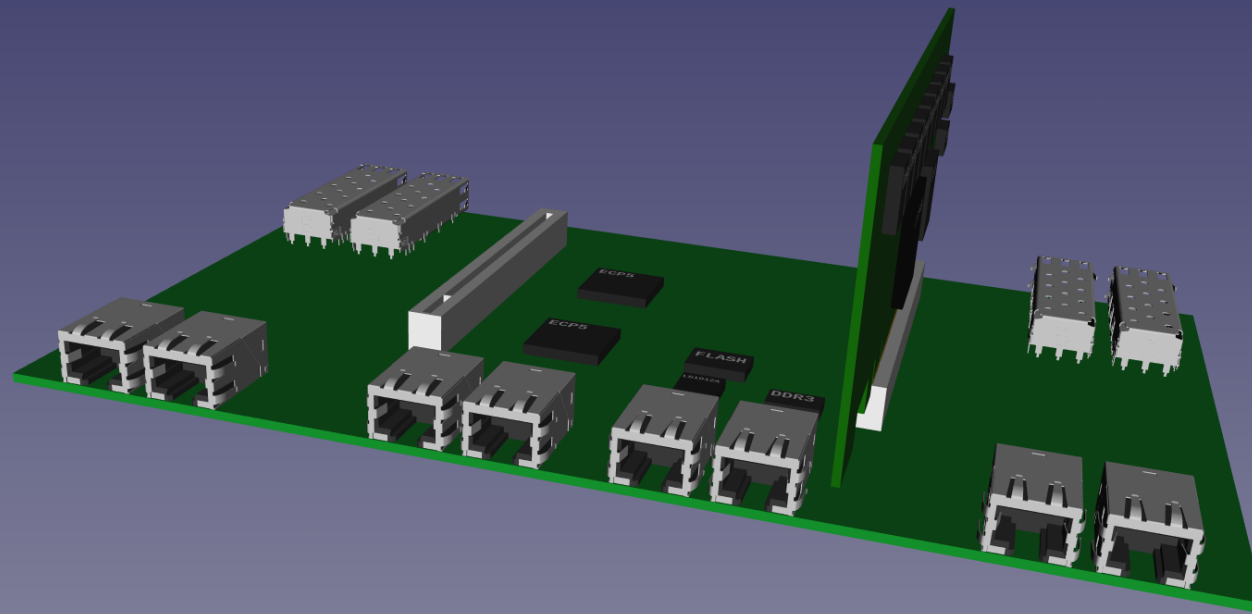
cpuboard mockup viz



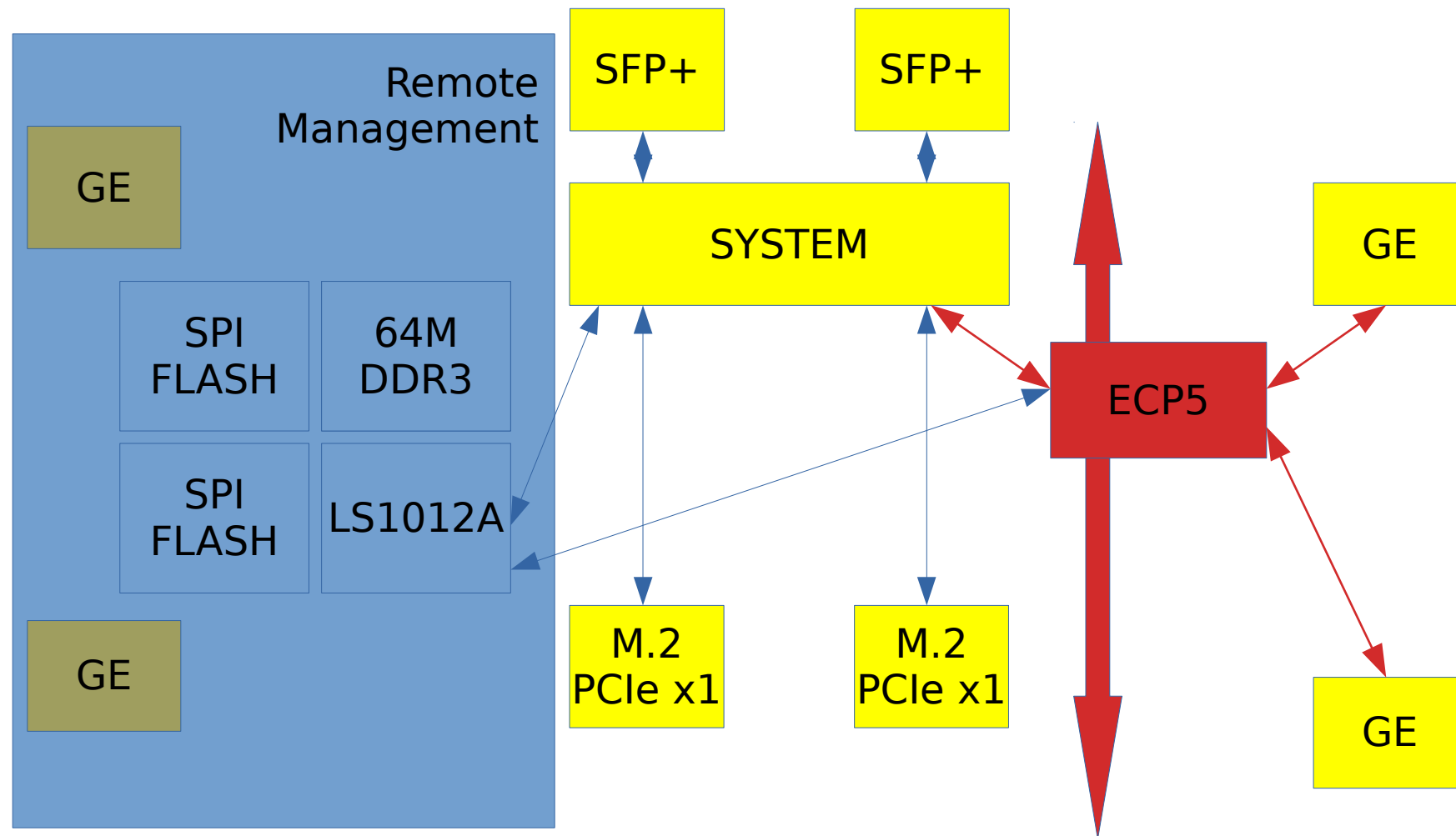
Blokové schéma dev. boardu



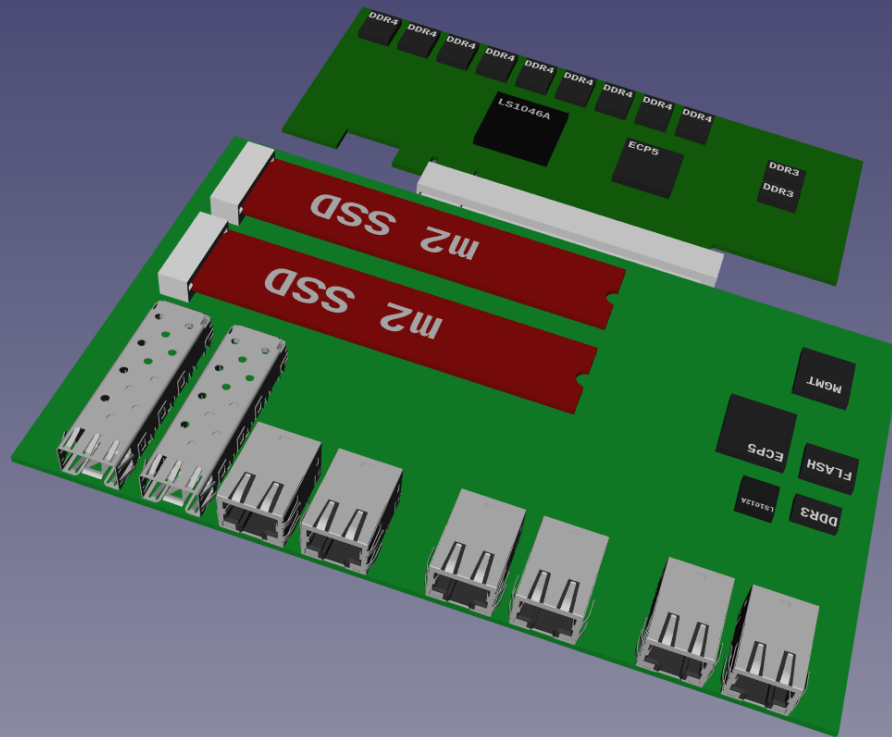
Development board mockup viz



Blokové schéma standalone boardu



Standalone board mockup viz



Timeline

- **04/2019 - prototype round #1**
 - cpuboard & devboard - CPU + fast ifaces = total disaster
 - Focus @ FPGA bring-up
- **08/2019 - prototype round #2 & SERDES @ Project Trellis**
 - cpu&dev boards - fast ifaces problems still, FPGA up
- **01/2020 - prototype round #3**
 - cpu&dev boards - hopefully booting & all up

Timeline

- **05/2020 - prototype round #4**
 - seaboard, standalone - first prototypes
 - PoC PCIe&routing implementation on devboard
- **09/2020 - prototype round #5**
 - seaboard, standalone prototypes #2
 - PCIe&routing protocol implementation focus
- **01/2021 - prototype round #6**
 - seaboard, standalone working
- **06/2021 - cpuboard refresh round #1**

Call for volunteers

- **02,06,10/2019 - devel focus session**
 - Focus session every 2 months before production round
- **05/2019 - Open FPGA DevDays #1**
 - True Nerdish Weekend, in planning, stay tuned
- **Dotazníček & kontaktní formulář**
 - <https://vpsfree.cz/hw>



Q&A

Contact

pavel.snajdr@vpsfree.cz

<https://vpsfree.cz/hw>